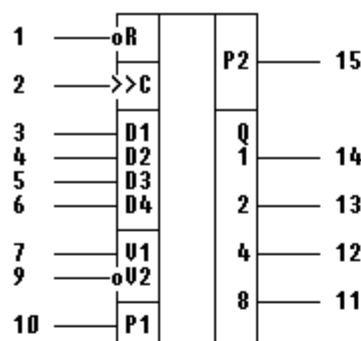


Синхронный 4-разрядный двоично-десятичный счетчик



| № выв. | Назначение               | № выв. | Назначение                  |
|--------|--------------------------|--------|-----------------------------|
| 1      | Вход установки нуля      | 9      | Вход разрешения записи V2   |
| 2      | Вход синхронизации       | 10     | Вход разрешения переноса P1 |
| 3      | Вход информационный      | 11     | Выход 4 разряда             |
| 4      | Вход информационный      | 12     | Выход 3 разряда             |
| 5      | Вход информационный      | 13     | Выход 2 разряда             |
| 6      | Вход информационный      | 14     | Выход 1 разряда             |
| 7      | Вход разрешения счета V1 | 15     | Выход переноса              |
| 8      | Общий                    | 16     | Ucc                         |

Микросхема представляет четырехразрядный двоично-десятичный счетчик с асинхронным сбросом, дешифрующим счетным выходом, с возможностью синхронной установки в произвольное состояние от нуля до девяти. В качестве запоминающего элемента используется J-K триггер с внутренней задержкой.

Счетчик имеет вход синхронизации C, вход установки нуля R, четыре информационных входа D1—D4, входы разрешения счета V1, разрешения предварительной записи V2, разрешения переноса P1, четыре выхода Q1—Q4 и выход переноса информации P2.

Счетчик устанавливается в предварительное состояние при наличии на входе разрешения V2 низкого уровня. В этом случае разрешена подача сигналов на входы J-K триггеров через информационные входы D1—D4. Информаций передается на выходы при поступлении положительного фронта тактового импульса на вход

синхронизации. Операция счета происходит при наличии на входах V1, P1, V2, R высокого уровня.

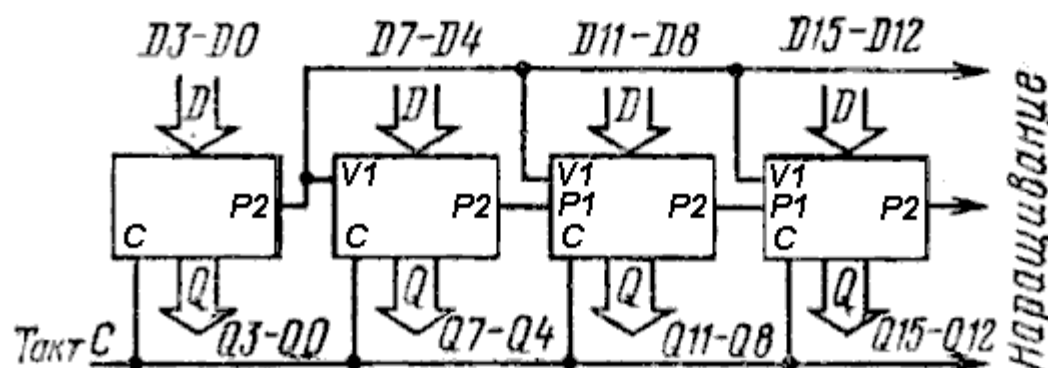
Схема устанавливается в нулевое состояние при подаче на вход напряжения низкого уровня. В режиме записи на шины V2 подается низкий уровень, R — высокий, а состояния входов V1 и P1 могут быть любыми.

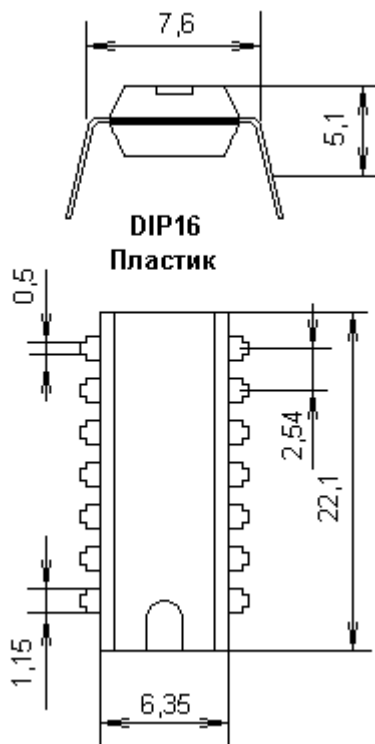
Для переноса импульса в следующий каскад предусмотрена специальная схема с входом разрешения переноса P1 и выходом P2. При подаче на вход схемы девятого счетного импульса на выходе появляется высокий уровень. После десятого импульса, когда счетчик обнуляется, выход P2 снова переходит в состояние низкого уровня. Следовательно, на каждые десять счетных импульсов формируется один импульс переноса на вход счетчика старшего разряда.

ТАБЛИЦА ИСТИННОСТИ

| РЕЖИМ                 | ВХОД |   |    |    |    |    | ВЫХОД |    |
|-----------------------|------|---|----|----|----|----|-------|----|
|                       | R    | C | V1 | P1 | P2 | Dn | Qn    | P2 |
| СБРОС                 | Н    | X | X  | X  | X  | X  | Н     | Н  |
| ПАРАЛЛЕЛЬНАЯ ЗАГРУЗКА | В    |   | X  | X  | Н  | Н  | Н     | Н  |
| СЧЕТ                  | В    |   | В  | В  | В  | X  | счет  | В  |
| ХРАНЕНИЕ              | В    | X | Н  | X  | В  | X  | Qn    | В  |
|                       | В    | X | X  | Н  | В  | X  | Qn    | В  |

СХЕМА НАРАЩИВАНИЯ РАЗРЯДНОСТИ





|                            |                                                   |
|----------------------------|---------------------------------------------------|
| Тип микросхемы             | КР1533ИЕ9                                         |
| Фирма производитель        | СНГ                                               |
| Функциональные особенности | Синхронный 4-разрядный двоично-десятичный счетчик |
| Т,С                        | 0...+70                                           |
| I <sub>сс</sub> ,мА        | 21                                                |
| Т <sub>рНЛ</sub> max,нс    | 17                                                |
| Т <sub>рЛН</sub> max,нс    | 15                                                |
| f <sub>т</sub> ,МГц        | 30                                                |
| Корпус                     | DIP16                                             |