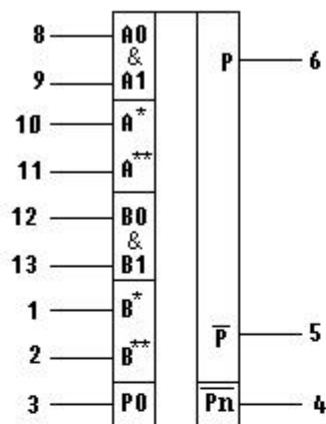


ТТЛ(K155,K133SN74,CDB4,МН74,USY74, K155ИМ1

4-разрядный двоичный сумматор



Микросхема представляет собой полный сумматор для параллельного и последовательного суммирования чисел с двумя и большим числом разрядов. Каждый вход сумматора А и В имеет развитую логику : основные входы данных А0, А1 и В0, В1, которым сопутствуют инверсные входы данных А* и В*, а также входы управления А** и В**. На вход Р0 подается входной сигнал переноса. Выход сигнала переноса инверсный $\overline{Pn}$ (активный уровень - низкий).

Выходные коды суммы выдаются на прямом и инверсном выходах. Если данные подаются на входы А0, А1 и В0, В1, цепи выводов $\overline{A^*}$ и $\overline{B^*}$ следует разомкнуть. Если данные подаются на входы А* и В*, то на входы А0(илиА1) и В0(илиВ1) следует подать напряжение низкого уровня.

В точках А и В выполняются логические уравнения:

$$A = \overline{A^*} + A^{**} + A_0 A_1$$

$$B = \overline{B^*} + B^{**} + B_0 B_1$$

Состояния сумматора показаны в таблице.

ФУНКЦИОНАЛЬНАЯ СХЕМА

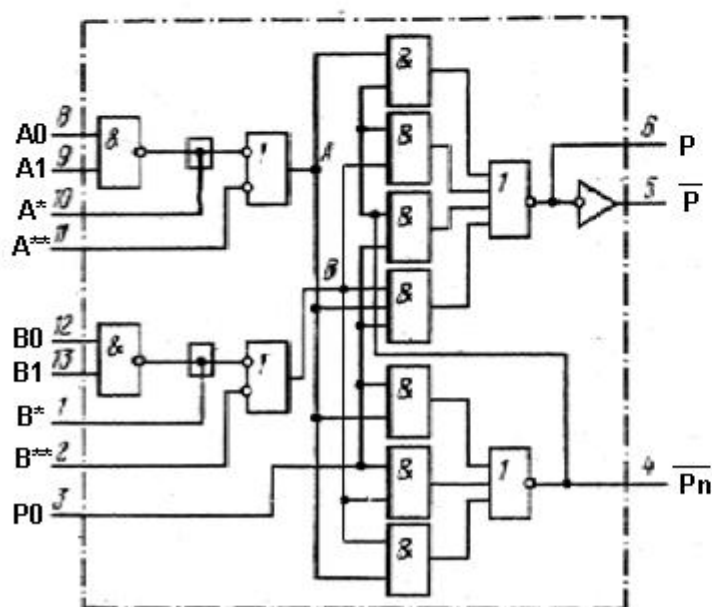
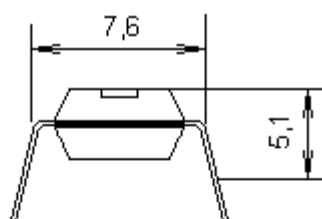
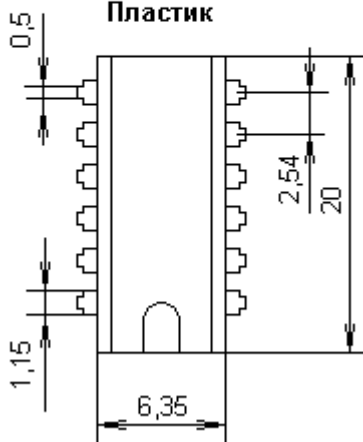


ТАБЛИЦА ИСТИННОСТИ

ВХОДЫ			ВЫХОДЫ	
P0	B	A	Pn	P
L	L	L	H	L
L	L	H	H	H
L	H	L	H	H
L	H	H	L	L
H	L	L	H	H
H	L	H	L	L
H	H	L	L	L
H	H	H	L	H



DIP14
Пластик



Тип микросхемы	K155ИМ1
Фирма производитель	СНГ
Функциональные особенности	1-разрядный двоичный сумматор
T, C	-10...+70
I _{сс} , мА	78
T _{pHL} max, нс	45
T _{pLH} max, нс	40
Корпус	DIP14